

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-88620

(43) 公開日 平成8年(1996)4月2日

(51) Int. Cl. <sup>6</sup>

H04L 1/18

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全14頁)

(21) 出願番号 特願平6-221673

(22) 出願日 平成6年(1994)9月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 福政 英伸

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 松本 昂

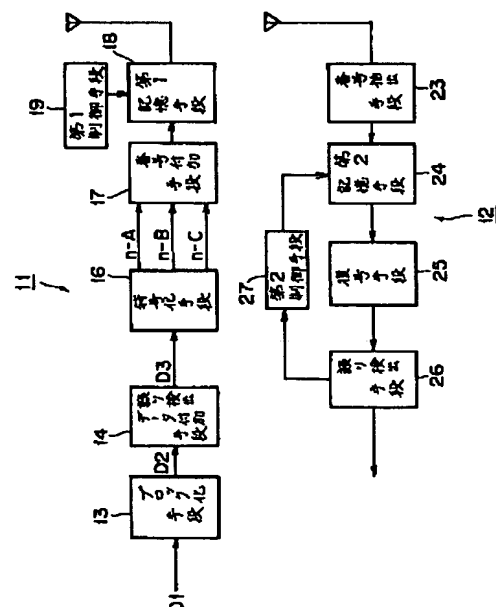
(54) 【発明の名称】 ハイブリッド自動再送要求方式によるデータ通信システム

## (57) 【要約】

【目的】 本発明は通信路の特性の悪化状態に応じて送信情報の誤り訂正を効率良く適正に行うことができるハイブリッド自動再送要求方式によるデータ通信システムを提供することを目的とする。

【構成】 受信されたデータに誤りがある場合は第2制御手段27の制御によってNACK信号が第1制御手段19へ送信され、これによって第1制御手段19がその誤りのあったブロック番号のデータの他のフレーム化されたデータを送信し、この送信されたデータを含めた先の誤りのあったデータと共に復号を行うので、再送回数に応じて符号化率が変わる符号として処理ができ、この結果、1度目の送信よりは2度目、2度目よりは3度目というように再送回数が増す毎に訂正能力が高くなり、通信路の特性の悪化による再送回数の急増を抑えることができるように構成する。

本発明の原理図



1

## 【特許請求の範囲】

【請求項 1】 受信装置から送信装置へデータの再送要求を行う帰還路を有するハイブリッド自動再送要求方式によるデータ通信システムにおいて、

前記送信装置を、

送信データを複数のブロックに分割するブロック化手段と、

該ブロック化手段から出力されるブロックデータに誤り検出のためのチェックデータを付加する誤り検出データ付加手段と、

該チェックデータの付加されたブロックデータを誤り訂正符号化し、この誤り訂正符号化されたデータを複数のフレームデータに分割する符号化手段と、

該複数のフレームデータにブロック番号及びフレーム番号を付加する番号付加手段と、

該ブロック番号及びフレーム番号の付加された複数のフレームデータを記憶する第 1 記憶手段と、

該第 1 記憶手段に記憶されたフレームデータをブロック番号順に読みだして送信する制御にあって、前記受信装置から送られてくる該ブロックデータに誤りがあることを示す NACK 信号の受信時に、該 NACK 信号が示すブロック番号の未送信フレーム番号のフレームデータを送信し、該ブロックデータに誤りが無いことを示す ACK 信号の受信時に、次のブロック番号のフレームデータを送信する制御を行う第 1 制御手段とを具備して構成し、

前記受信装置を、

前記送信装置から送られてきたフレームデータのブロック番号及びフレーム番号を抽出する番号抽出手段と、

該番号抽出手段によって抽出されたブロック番号及びフレーム番号毎にフレームデータを記憶する第 2 記憶手段と、

該第 2 記憶手段から読みだされたフレームデータのフレーム数に対応した符号化率で復号を行う復号手段と、  
該復号手段で復号されたフレームデータ中のチェックデータによって誤り検出を行う誤り検出手段と、

該第 2 記憶手段に記憶されたフレームデータを読み出す制御を行うと共に、該誤り検出手段によって誤りが検出されなかった場合に前記 ACK 信号を送信し、誤りが検出された場合に前記 NACK 信号を送信する制御を行う第 2 制御手段とを具備して構成したことを特徴とするハイブリッド自動再送要求方式によるデータ通信システム。

【請求項 2】 前記第 2 制御手段に、前記誤り検出手段によって誤りが検出されなかった場合にその誤りの無い前記ブロック番号及びフレーム番号のフレームデータを前記第 2 記憶手段から消去し、誤りが検出された場合にその誤りがあるブロック番号及びフレーム番号のフレームデータを該第 2 記憶手段に保持する制御を行い、前記第 1 制御手段が前記 NACK 信号の受信時に送信してき

2

たフレームデータを該第 2 記憶手段に記憶すると共にこの記憶されたフレームデータ及びそのフレームデータと同ブロック番号のフレームデータを読み出す制御を行う機能を設けたことを特徴とする請求項 1 記載のハイブリッド自動再送要求方式によるデータ通信システム。

【請求項 3】 前記第 1 制御手段に代え、前記 NACK 信号を受信しない限り前記第 1 記憶手段からフレームデータをブロック番号順に読みだして送信し、該 NACK 信号の受信時に、該 NACK 信号が示すブロック番号の未送信フレーム番号のフレームデータを送信し、この送信後に次のブロック番号から順次フレームデータを送信する第 3 制御手段を設け、

前記第 2 制御手段に代え、前記誤り検出手段によって誤りが検出されなかった場合に前記 ACK 信号を送信すると共にその誤りの無い前記ブロック番号及びフレーム番号のフレームデータを前記第 2 記憶手段から消去し、誤りが検出された場合に前記 NACK 信号を送信すると共にその誤りがあるブロック番号及びフレーム番号のフレームデータを該第 2 記憶手段に保持し、この保持データ以外の受信フレームデータを破棄する制御を行うと共に前記第 3 制御手段が前記 NACK 信号の受信時に送信してきたフレームデータを該第 2 記憶手段に記憶すると共にこの記憶されたフレームデータ及びそのフレームデータと同ブロック番号のフレームデータを読み出す制御を行う第 4 制御手段を設けたことを特徴とする請求項 1 又は 2 記載のハイブリッド自動再送要求方式によるデータ通信システム。

【請求項 4】 前記第 1 制御手段に代え、前記 NACK 信号を受信しない限り前記第 1 記憶手段からフレームデータをブロック番号順に読みだして送信し、該 NACK 信号の受信時に、該 NACK 信号が示すブロック番号の未送信フレーム番号のフレームデータを送信し、この送信後に該 NACK 信号の受信前に送信された次のブロック番号から順次フレームデータを送信する第 5 制御手段を設け、

前記第 2 制御手段に代え、前記第 5 制御手段の制御によって送信されてくる順番にフレームデータを前記第 2 記憶手段に記憶して読み出すと共に、前記誤り検出手段によって誤りが検出されなかった場合に前記 ACK 信号を送信すると共にその誤りの無い前記ブロック番号及びフレーム番号のフレームデータを前記第 2 記憶手段から消去し、誤りが検出された場合に前記 NACK 信号を送信すると共にその誤りがあるブロック番号及びフレーム番号のフレームデータを該第 2 記憶手段に保持し、この保持データ以外の受信フレームデータを破棄する制御を行うと共に前記第 5 制御手段が前記 NACK 信号の受信時に送信してきたフレームデータを該第 2 記憶手段に記憶すると共にこの記憶されたフレームデータ及びそのフレームデータと同ブロック番号のフレームデータを読み出す制御を行う第 6 制御手段を設けたことを特徴とする請

10

20

30

40

50

求項 1 又は 2 記載のハイブリッド自動再送要求方式によるデータ通信システム。

【請求項 5】 前記誤り検出手段から出力されるデータを前記ブロック番号順に出力する順序入替手段を設けたことを特徴とする請求項 4 記載のハイブリッド自動再送要求方式によるデータ通信システム。

【請求項 6】 前記符号化手段に代え、前記チェックデータの付加されたブロックデータを畳み込み符号化する畳み込み符号器を設け、

前記復号手段に代え、前記畳み込み符号化されたフレームデータの復号を行うビタビ復号器を設けたことを特徴とする請求項 1 ～ 5 の何れかに記載のハイブリッド自動再送要求方式によるデータ通信システム。

【請求項 7】 前記第 1, 第 3, 第 5 制御手段に、前記 ACK 信号及び NACK 信号の受信頻度から通信路の状態を推定し、該 ACK 信号受信時に前記第 1 記憶手段から読みだして送信するフレームデータの 1 ブロックにおけるフレーム数を制御する機能を設けたことを特徴とする請求項 1 ～ 6 の何れかに記載のハイブリッド自動再送要求方式によるデータ通信システム。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明はハイブリッド自動再送要求 (ARQ: Automatic Repeat Request) 方式によるデータ通信システムに関する。

【 0 0 0 2 】 このハイブリッド ARQ 方式は、高信頼及び高効率なデータ通信を実現するものであり、移動体通信、パソコン通信等に用いられる。

【 0 0 0 3 】

【従来の技術】 ハイブリッド ARQ 方式は、ARQ 方式と FEC (Forward Error Correction) 方式とを組み合わせたものである。

【 0 0 0 4 】 ARQ 方式は、誤りの発生する通信路を通してデータを伝送する際、受信装置でデータ中の誤りを検出し、送信装置に対してデータの再送を要求する方式であり、高信頼な通信を実現できる。

【 0 0 0 5 】 FEC 方式は、伝送データに冗長度を付加し、受信装置で誤り訂正を行う方式であり、通信路の状態が不安定であったり、劣悪な環境の場合に有効である。ハイブリッド ARQ 方式には、予め誤り検出符号化及び誤り訂正符号化を行って (検出と訂正を同じ符号で行うこともある)、情報シンボルとパリティチェックシンボルを含めた形でフレームを構成し、受信装置側で誤り訂正及び検出を行うタイプ 1 と呼ばれるものと、受信装置側から再送要求があった時に、パリティチェックシンボルを送信し、先に送った情報シンボルと合わせて誤り訂正を行うタイプ 2 と呼ばれるものがある。

【 0 0 0 6 】

【発明が解決しようとする課題】 ところで、上述した ARQ 方式の性能を評価する際にスループットが用いられ

る。単純な ARQ 方式とハイブリッド ARQ 方式との性能を比較すると、単純な ARQ 方式は通信路の特性が良い場合、即ち誤り率が低い場合は高いスループットを得ることができるが、通信路での誤りが多くなると再送回数が急激に増加するためスループットが悪化する問題がある。

【 0 0 0 7 】 ハイブリッド ARQ 方式は、誤り訂正のための冗長度 (パリティチェックシンボル) を付けるため、誤り率の低い時のスループットは単純な ARQ 方式より低くなるが、ある程度の誤りまでは FEC 機能によって訂正できるため、再送の必要はない。しかし、FEC 機能の訂正能力を越える誤りが頻発するような通信路の誤り率になると、やはりスループットが急激に落ちる問題がある。

【 0 0 0 8 】 また、FEC 機能をより強化したハイブリッド ARQ 方式を用いれば、更に通信路の特性が悪いところでも適応することができるが、FEC のかけかたを通信路の特性に応じて変えることは非常に難しいので実用性に乏しい。

【 0 0 0 9 】 本発明は、このような点に鑑みてなされたものであり、通信路の特性の悪化状態に応じて送信情報の誤り訂正を効率良く適正に行うことができるハイブリッド自動再送要求方式によるデータ通信システムを提供することを目的としている。

【 0 0 1 0 】

【課題を解決するための手段】 図 1 に本発明の原理図を示す。この図は、受信装置 1 2 から送信装置 1 1 へデータの再送要求を行う帰還路を有するハイブリッド自動再送要求方式によるデータ通信システムの原理図である。

【 0 0 1 1 】 送信装置 1 1 において、1 3 はブロック化手段であり、送信データ D 1 を複数のブロックに分割するものである。1 4 は誤り検出データ付加手段であり、ブロック化手段 1 3 から出力されるブロックデータ D 2 に誤り検出のためのチェックデータを付加するものである。

【 0 0 1 2 】 1 6 は符号化手段であり、チェックデータの付加されたブロックデータ D 3 を誤り符号化し、この誤り符号化されたデータを複数のフレームデータ  $n-A$ ,  $n-B$ ,  $n-C$  に分割するものである。

【 0 0 1 3 】 1 7 は番号付加手段であり、複数のフレームデータ  $n-A$ ,  $n-B$ ,  $n-C$  にブロック番号 ( $n$  とする) 及びフレーム番号 ( $A$ ,  $B$ ,  $C$  とする) を付加するものである。

【 0 0 1 4 】 1 8 は第 1 記憶手段であり、ブロック番号及びフレーム番号の付加された複数のフレームデータ  $n-A$ ,  $n-B$ ,  $n-C$  を記憶するものである。1 9 は第 1 制御手段であり、第 1 記憶手段 1 8 に記憶されたフレームデータ  $n-A$ ,  $n-B$ ,  $n-C$  をブロック番号順に読みだして送信する制御にあって、受信装置 1 2 から送られてくるブロックデータに誤りがあることを示す NA

CK信号の受信時に、NACK信号が示すブロック番号の未送信フレーム番号のフレームデータを送信し、ブロックデータに誤りが無いことを示すACK信号の受信時に、次のブロック番号のフレームデータを送信する制御を行うものである。

【0015】また受信装置12において、23は番号抽出手段であり、送信装置11から送られてきたフレームデータ $n-A$ 、 $n-B$ 、 $n-C$ のブロック番号及びフレーム番号を抽出するものである。

【0016】24は第2記憶手段であり、番号抽出手段23によって抽出されたブロック番号及びフレーム番号毎にフレームデータ $n-A$ 、 $n-B$ 、 $n-C$ を記憶するものである。

【0017】25は復号手段であり、第2記憶手段24から読みだされたフレームデータ $n-A$ 、 $n-B$ 、 $n-C$ のフレーム数に対応した符号化率で復号を行うものである。

【0018】26は誤り検出手段であり、復号手段25で復号されたフレームデータ $n-A$ 、 $n-B$ 、 $n-C$ 中のチェックデータによって誤り検出を行うものである。27は第2制御手段であり、第2記憶手段24に記憶されたフレームデータ $n-A$ 、 $n-B$ 、 $n-C$ を読み出す制御を行うと共に、誤り検出手段26によって誤りが検出されなかった場合にACK信号を送信し、誤りが検出された場合にNACK信号を送信する制御を行うものである。

【0019】

【作用】上述した本発明によれば、受信されたデータに誤りがある場合は第2制御手段27の制御によってNACK信号が第1制御手段19へ送信され、これによって第1制御手段19がその誤りのあったブロック番号のデータの他のフレーム化されたデータを送信し、この送信されたデータを含めた先の誤りのあったデータと共に復号を行うので、再送回数に応じて符号化率が変化する符号として処理ができ、この結果、1度目の送信よりは2度目、2度目よりは3度目というように再送回数が増す毎に訂正能力が高くなり、通信路の特性の悪化による再送回数の急増を抑えることができる。

【0020】

【実施例】以下、図面を参照して本発明の実施例について説明する。図2は本発明の第1実施例によるハイブリッド自動再送要求方式によるデータ通信システムのブロック構成図である。

【0021】この図に示すデータ通信システムは、畳み込み符号とSW(Stop and Wait)-ARQの組み合わせで実現したものである。図中、11は送信装置、12は受信装置であり、双方の装置11と12間でアンテナ20、22を介して無線通信が行われるようになっている。

【0022】送信装置11は、情報ブロック化部13

と、CRC(Cyclic Redundancy Check)符号化部14と、テールビット付加部15と、畳み込み符号器16と、番号付加部17と、メモリ部18と、SW-ARQ制御部19とを具備して構成されている。

【0023】受信装置12は、番号抽出部23と、メモリ部24と、ピタビ復号器25と、誤り検出部26と、SW-ARQ制御部27とを具備して構成されている。送信装置11の情報ブロック化部13は、受信装置12へ送信する情報ビットデータD1を128ビットのブロックに分割し、このブロック化された情報ビットデータD2をCRC符号化部14へ出力する。

【0024】CRC符号化部14は、ブロック化情報ビットデータD2に、CRC演算を行うことによって誤り検出を行うための16ビットのパリティチェックデータを付加し、このパリティチェックデータの付加された144ビットの情報ビットデータD3を畳み込み符号器16へ出力する。

【0025】テールビット付加部15は、情報ビットデータD3が畳み込み符号器16へ入力される際、畳み込み符号の状態を収束させるテールビットとして3ビットの「0」を付ける制御を行うものである。つまり、畳み込み符号器16には3ビットのテールビットが付加された147ビットのデータが入力される。

【0026】畳み込み符号器16は、誤り訂正を行うための畳み込み符号化を行うもので、図3に示す構成となっており、先の147ビットのデータD3'を、各々異なる3つのフレームデータ $n-A$ 、 $n-B$ 、 $n-C$ として出力する。但し、各フレームデータ $n-A$ 、 $n-B$ 、 $n-C$ は、各々が147ビットである。

【0027】図3に示すように畳み込み符号器16は拘束長が「4」のものであり、データD3'を順次保持してシフトさせる3つのフリップフロップ(FF)31、32、33と、データD3'とFF31及び33の出力データの排他的論理和を取って1つ目のフレームデータ $n-A$ として出力するイクスクルーシブオア回路(EOR回路)34と、データD3'とFF32及び33の出力データの排他的論理和を取って2つ目のフレームデータ $n-B$ として出力するEOR回路35と、FF31の出力データとEOR回路35から出力されるフレームデータ $n-B$ との排他的論理和を取って3つ目のフレームデータ $n-C$ として出力するEOR回路36とを有して構成されている。

【0028】図2に示す番号付加部17は、畳み込み符号器16から出力されるフレームデータ $n-A$ 、 $n-B$ 、 $n-C$ にブロック番号とフレーム番号を付ける処理を行う。ここでは各フレームデータの $n$ がブロック番号、 $A$ 、 $B$ 、 $C$ がフレームデータであるとする。但し、 $n=1, 2, 3, \dots$ であるとする。

【0029】つまり、情報ブロック化部13でブロック化された1つ目のブロック化情報ビットデータD2が畳

み込み符号器 1 6 でフレーム化された場合のフレームデータには、1 - A, 1 - B, 1 - C の番号が付けられ、2 目目のブロック化情報ビットデータ D 2 がフレーム化された場合のフレームデータには、2 - A, 2 - B, 2 - C の番号が付けられる。

【 0 0 3 0 】 このようにブロック番号 - フレーム番号が付けられたフレームデータ n - A, n - B, n - C は、メモリ部 1 8 に記憶される。SW - ARQ 制御部 1 9 は、メモリ部 1 8 に記憶されたフレームデータ n - A, n - B, n - C をブロック番号 - フレーム番号順に順次読み出し、また受信装置 1 2 の SW - ARQ 制御部 2 7 の応答に応じてフレームデータ n - A, n - B, n - C を読み出す制御を行う。この制御の詳細説明は後述の自動再送要求制御動作の記述の中で行う。

【 0 0 3 1 】 メモリ部 1 8 から読みだされたフレームデータ n - A, n - B, n - C は図示せぬ送信機にて無線周波数信号と変調されてアンテナ 2 0 から送信され、更に受信装置 1 2 のアンテナ 2 2 で受信され、図示せぬ受信機にて復調される。

【 0 0 3 2 】 番号抽出部 2 3 は、その復調されたフレームデータ n - A, n - B, n - C のブロック番号 - フレーム番号を抽出する。この抽出されたブロック番号 - フレーム番号毎にフレームデータ n - A, n - B, n - C がメモリ部 2 4 に記憶される。

【 0 0 3 3 】 ビタビ復号器 2 5 は、メモリ部 2 4 から順次読みだされる畳み込み符号化されたフレームデータ n - A, n - B, n - C の復号をビタビ復号演算によって行う。

【 0 0 3 4 】 誤り検出部 2 6 は、復号されたフレームデータ n - A, n - B, n - C 中の情報ビットデータの誤りを CRC 演算にて検出する。SW - ARQ 制御部 2 7 は、誤り検出部 2 6 において誤りが検出された際に、送信装置 1 1 の SW - ARQ 制御部 1 9 へ自動再送要求を行うと共に、番号抽出部 2 3 を介したフレームデータ n - A, n - B, n - C をメモリ部 2 4 に書き込んで記憶させ、また読み出す制御を行う。この制御の詳細説明は後述の自動再送要求制御動作の記述の中で行う。

【 0 0 3 5 】 次に、図 4 を参照して第 1 実施例の自動再送要求制御動作を説明する。まず、受信装置 1 1 の SW - ARQ 制御部 1 9 の制御によってメモリ部 1 8 から図 4 に符号 3 8, 3 9 で示す 1 ブロック目の 2 つのフレームデータ 1 - A, 1 - B を読み出し、実線矢印で示すように受信装置 1 2 へ送信する。

【 0 0 3 6 】 この送信されたフレームデータ 1 - A, 1 - B は、アンテナ 2 2 によって受信され、番号抽出部 2 3 でそのブロック番号 - フレーム番号が抽出され、この抽出された番号毎に符号 4 0, 4 1 で示すようにメモリ部 2 4 に記憶される。

【 0 0 3 7 】 この記憶されたフレームデータ 1 - A, 1 - B は、SW - ARQ 制御部 2 7 の制御によってメモリ

部 2 4 から読みだされてビタビ復号器 2 5 に入力され、ここで復号される。即ち畳み込み符号の復号が行われる。この時、符号化率 1 / 2 の符号として復号され、ビタビ復号器 2 5 からはパリティチェックデータの付加された情報ビットデータ D 4 が出力される。この情報ビットデータ D 4 は、誤り検出部 2 6 に入力され、ここでそのパリティチェックデータを用いた CRC 演算が行われることによって誤り検出が行われる。

【 0 0 3 8 】 この結果、誤りが検出されなかったとすると、SW - ARQ 制御部 2 7 が 1 番目のブロックのデータに誤りが無いことを示す 1 - ACK (Acknowledgment) 信号を図 2 に破線矢印で示すように送信装置 1 1 の SW - ARQ 制御部 1 9 へ送信する。このことを図 4 においては破線矢印 4 2 で示した。また、SW - ARQ 制御部 2 7 はメモリ部 2 4 からフレームデータ 1 - A, 1 - B を消去する。

【 0 0 3 9 】 この誤り未検出時には、誤り検出部 2 6 から送信装置 1 1 の情報ブロック化部 1 3 でブロック化されたと同じ 1 ブロック目の情報ビットデータ D 5 が出力される。

【 0 0 4 0 】 1 - ACK 信号を受信した SW - ARQ 制御部 1 9 は、メモリ部 1 8 から図 4 に符号 4 3, 4 4 で示す次の 2 ブロック目のフレームデータ 2 - A, 2 - B を読み出し、受信装置 1 2 へ送信する。

【 0 0 4 1 】 この送信されたフレームデータ 2 - A, 2 - B は、番号抽出部 2 3 でそのブロック番号 - フレーム番号が抽出され、この抽出された番号毎に符号 4 5, 4 6 で示すようにメモリ部 2 4 に記憶される。

【 0 0 4 2 】 この記憶されたフレームデータ 2 - A, 2 - B は、ビタビ復号器 2 5 によって符号化率 1 / 2 の符号として復号され、誤り検出部 2 6 で誤り検出が行われる。この結果、誤りが検出されたとすると、SW - ARQ 制御部 2 7 はフレームデータ 2 - A, 2 - B をそのまま記憶する制御を行うと共に、2 番目のブロックのデータが誤っていることを示す 2 - NACK (Negative Acknowledgment) 信号を図 4 に破線矢印 4 7 で示すように送信装置 1 1 の SW - ARQ 制御部 1 9 へ送信する。

【 0 0 4 3 】 2 - NACK 信号を受信した SW - ARQ 制御部 1 9 は、メモリ部 1 8 から図 4 に符号 4 8 で示す先程送信した 2 ブロック目の異なるフレームのフレームデータ 2 - C を読み出し、受信装置 1 2 へ送信する。

【 0 0 4 4 】 この送信されたフレームデータ 2 - C は、番号抽出部 2 3 でそのブロック番号 - フレーム番号が抽出され、符号 4 9 で示すように 2 - C のフレームデータとしてメモリ部 2 4 に記憶される。

【 0 0 4 5 】 この記憶されたフレームデータ 2 - C は、先に記憶されたフレームデータ 2 - A, 2 - B と共に、SW - ARQ 制御部 2 7 の制御によって読みだされ、ビタビ復号器 2 5 によって符号化率 1 / 3 の符号として復号される。即ち前回フレームデータ 2 - A, 2 - B で復

号を行った時より訂正能力が高くなる。

【0046】その復号された情報ビットデータD4に付加されたパリティチェックデータによって誤り検出部26で誤り検出が行われ、この結果、誤りが検出されなかったとすると、SW-ARQ制御部27が2番目のブロックのデータに誤りが無いことを示す2-ACK信号を図4に破線矢印50で示すように送信装置11のSW-ARQ制御部19へ送信すると共に、メモリ部24からフレームデータ2-A、2-B、2-Cを消去する。

【0047】また、誤り検出部26からは送信装置11の10 情報ブロック化部13でブロック化されたと同じ2ブロック目の情報ビットデータD5が出力される。以降、送信装置11のSW-ARQ制御部19は、前述したように受信装置12のSW-ARQ制御部27から返信されるACK信号又はNACK信号に応じてメモリ部18から順次フレームデータ3-A…を読み出し、受信装置12へ送信する。

【0048】ところで、前述したように、ビタビ復号器25によって復号されたフレームデータ2-A、2-B、2-Cの誤り検出の結果、誤りが検出されたとすると、SW-ARQ制御部27はフレームデータ2-A、2-B、2-Cをそのまま記憶する制御を行うと共に、再び2番目のブロックのデータが誤っていることを示す2-NACK信号を送信装置11のSW-ARQ制御部19へ送信する。20

【0049】この場合、2-NACK信号を受信したSW-ARQ制御部19は、メモリ部18から2ブロック目の最初のフレーム番号のフレームデータ2-Aを読み出し、受信装置12へ送信する。

【0050】この送信されたフレームデータ2-Aは、30 番号抽出部23でそのブロック番号-フレーム番号が抽出された後、先に記憶された2-Aと異なるメモリ部24の記憶領域に記憶され、先に記憶されたフレームデータ2-A、2-B、2-Cと共に、SW-ARQ制御部27の制御によって読みだされる。即ち4つのフレームデータが読みだされてビタビ復号器25に入力されることになり、このことによって、符号化率1/4の符号として復号を行うことができる。

【0051】このように、再送を繰り返す毎に訂正能力の高い符号として復号できるため、通信路の特性の悪いときでも、再送回数の急激な増加、即ちスループットの急激な低下を避けることができる。40

【0052】また、前述したように同じ符号の2-Aを用いる場合に、更に拘束長の長い符号を用いる場合は畳み込み符号器16のメモリ部(FF)に記憶されたデータに対して別の演算をして得られたフレームデータを用いた方がよい。

【0053】次に、第2実施例によるハイブリッド自動再送要求方式によるデータ通信システムを図5を参照して説明する。但し、図5に示す第2実施例において図2 50

に示した第1実施例の各部に対応する部分には同一符号を付し、その説明を省略する。

【0054】図5に示すデータ通信システムは、畳み込み符号とGBN(Go-back-N)-ARQの組み合わせで実現したものである。図5に示す第2実施例が図2に示した第1実施例と異なる点は、図2に示したSW-ARQ制御部19、27を、図5に示すようにGBN-ARQ制御部53、54とした点にある。

【0055】送信装置11のGBN-ARQ制御部53、及び受信装置12のGBN-ARQ制御部54の制御による自動再送要求制御動作を図6を参照して説明する。まず、送信装置11のGBN-ARQ制御部53は、受信装置12のGBN-ARQ制御部54からNACK信号が送られてこないかぎり、メモリ部18から図6に符号56、57で示すように、フレームデータ1-A、1-B…を1番目のブロック番号から順に2フレームずつ読みだして受信装置12へ送信する。

【0056】受信装置12は順次送信されてくるフレームデータ1-A、1-B…を、番号抽出部23でそのブロック番号-フレーム番号を抽出しながらメモリ部24にブロック番号-フレーム番号毎に記憶し、誤り検出を行う。即ち、最初に送信されてきたフレームデータ1-A、1-Bが符号58、59で示すようにメモリ部24に記憶され、この記憶されたフレームデータ1-A、1-BがGBN-ARQ制御部54の制御によって読みだされ、ビタビ復号器25によって符号化率1/2の符号として復号され、これによってパリティチェックデータの付加された情報ビットデータD4が出力される。この情報ビットデータD4は、誤り検出部26に入力され、ここでそのパリティチェックデータを用いたCRC演算が行われることによって誤り検出が行われる。

【0057】この結果、誤りが検出されなかったとすると、GBN-ARQ制御部54が1番目のブロックのデータに誤りが無いことを示す1-ACK信号を破線矢印60で示すように送信装置11のGBN-ARQ制御部53へ送信すると共に、メモリ部24からフレームデータ1-A、1-Bを消去する。

【0058】この誤り未検出時には、誤り検出部26から送信装置11の情報ブロック化部13でブロック化されたと同じ1ブロック目の情報ビットデータD5が出力される。

【0059】一方、SW-ARQ制御部19は、NACK信号を受信していないのでメモリ部18から図6に符号61、62で示す次の4ブロック目のフレームデータ4-A、4-Bを読み出し、受信装置12へ送信している。

【0060】また、受信装置12においては、1ブロック目の次の2ブロック目のフレームデータ2-A、2-Bが符号63、64で示すようにメモリ部24に記憶され、その誤り検出が行われている。

【0061】このフレームデータ2-A, 2-Bにおいて、誤りが検出されたとすると、GBN-ARQ制御部54はフレームデータ2-A, 2-Bをそのままメモリ部24に記憶する制御を行うと共に、2番目のブロックのデータが誤っていることを示す2-NACK信号を破線矢印65で示すように送信装置11のGBN-ARQ制御部53へ送信する。

【0062】2-NACK信号を受信したGBN-ARQ制御部53は、メモリ部18から符号66で示す先程送信した2ブロック目の異なるフレームのフレームデータ2-Cを読み出し、受信装置12へ送信する。

【0063】また、受信装置12のGBN-ARQ制御部54は2-NACK信号を送信すると同時に、その2-NACK信号に係わる2ブロック目のフレームデータ2-Cが送信されてくるのを待ち、その間送られてくる図6に破線矢印67で示すフレームデータ3-A, 3-B及び4-A, 4-Bは破棄する制御を行う。即ちメモリ部24に記憶させないようにする。

【0064】そして、フレームデータ2-Cが送信されてくると、GBN-ARQ制御部54はそれを符号68で示すようにメモリ部24に記憶する。この記憶されたフレームデータ2-Cは、先に記憶されたフレームデータ2-A, 2-Bと共に、GBN-ARQ制御部54の制御によって読みだされ、ビタビ復号器25によって符号化率1/3の符号として復号される。即ち前回フレームデータ2-A, 2-Bで復号を行った時より訂正能力が高くなる。

【0065】その復号された情報ビットデータD4に付加されたパリティチェックデータによって誤り検出部26で誤り検出が行われ、この結果、誤りが検出されなかったとすると、GBN-ARQ制御部54が2番目のブロックのデータに誤りが無いことを示す2-ACK信号を図6に破線矢印69で示すように送信装置11のGBN-ARQ制御部53へ送信すると共に、メモリ部24からフレームデータ2-A, 2-B, 2-Cを消去する。

【0066】また、誤り検出部26からは送信装置11の情報ブロック化部13でブロック化されたと同じ2ブロック目の情報ビットデータD5が出力される。一方、送信装置11のGBN-ARQ制御部53においては、符号66で示したフレームデータ2-Cを送信した後、NACK信号が送信されてこない限りは符号70で示す2ブロック目の次の3ブロック目以降のフレームデータ3-A, 3-B…をブロック番号順に2フレームずつ読みだして受信装置12へ送信する。

【0067】ところで、前述したように、ビタビ復号器25によって復号されたフレームデータ2-A, 2-B, 2-Cの誤り検出の結果、誤りが検出されたとすると、GBN-ARQ制御部54はフレームデータ2-A, 2-B, 2-Cをそのまま記憶する制御を行うと共に

に、再び2番目のブロックのデータが誤っていることを示す2-NACK信号を送信装置11のGBN-ARQ制御部53へ送信する。

【0068】この場合、2-NACK信号を受信したGBN-ARQ制御部53は、メモリ部18から2ブロック目の最初のフレーム番号のフレームデータ2-Aを読み出し、受信装置12へ送信する。

【0069】この送信されたフレームデータ2-Aは、先に記憶された2-Aと異なるメモリ部24の記憶領域に記憶され、先に記憶されたフレームデータ2-A, 2-B, 2-Cと共に、GBN-ARQ制御部54の制御によって読みだされ、ビタビ復号器25に入力される。このことによって、符号化率1/4の符号として復号を行うことができる。

【0070】このように、再送を繰り返す毎に訂正能力の高い符号として復号できるため、通信路の特性の悪いときでも、再送回数の急激な増加、即ちスループットの急激な低下を避けることができる。

【0071】次に、第3実施例によるハイブリッド自動再送要求方式によるデータ通信システムを図7を参照して説明する。但し、図7に示す第3実施例において図2に示した第1実施例の各部に対応する部分には同一符号を付し、その説明を省略する。

【0072】図7に示すデータ通信システムは、畳み込み符号とSR(Selective repeat)-ARQの組み合わせで実現したものである。図7に示す第3実施例が図2に示した第1実施例と異なる点は、図2に示したSW-ARQ制御部19, 27を、図7に示すようにSR-ARQ制御部72, 73とし、また誤り検出部26の出力側に順序入替回路74を接続した点にある。

【0073】送信装置11のSR-ARQ制御部72、及び受信装置12のSR-ARQ制御部73の制御による自動再送要求制御動作を図8を参照して説明する。まず、送信装置11のSR-ARQ制御部72は、受信装置12のSR-ARQ制御部73からNACK信号が送られてこないかぎり、メモリ部18から図8に符号76, 77で示すように、フレームデータ1-A, 1-B…を1番目のブロック番号から順に2フレームずつ読みだして受信装置12へ送信する。

【0074】受信装置12は順次送信されてくるフレームデータ1-A, 1-B…を、番号抽出部23でそのブロック番号-フレーム番号を抽出しながらメモリ部24にブロック番号-フレーム番号毎に記憶し、誤り検出を行う。即ち、最初に送信されてきたフレームデータ1-A, 1-Bが符号78, 79で示すようにメモリ部24に記憶され、この記憶されたフレームデータ1-A, 1-BがSR-ARQ制御部73の制御によって読みだされ、ビタビ復号器25によって符号化率1/2の符号として復号され、これによってパリティチェックデータの付加された情報ビットデータD4が出力される。この情

報ビットデータD4は、誤り検出部26に入力され、ここでそのパリティチェックデータを用いたCRC演算が行われることによって誤り検出が行われる。

【0075】この結果、誤りが検出されなかったとすると、SR-ARQ制御部73が1番目のブロックのデータに誤りが無いことを示す1-ACK信号を破線矢印80で示すように送信装置11のSR-ARQ制御部72へ送信すると共に、メモリ部24からフレームデータ1-A、1-Bを消去する。

【0076】この誤り未検出時には、誤り検出部26から送信装置11の情報ブロック化部13でブロック化されたと同じ1ブロック目の情報ビットデータD5が出力され、順序入替回路74に入力され、情報ビットデータD6として出力される。

【0077】順序入替回路74は、入力される情報ビットデータD5を情報ブロック化部13でブロック化された順に入れ替え、これを情報ビットデータD6として出力するものである。

【0078】これは、この第3実施例システムの受信装置12において、誤り検出部26から情報ビットデータD5がブロック化された順序で出力されないの、それを訂正するためであり、正しい順序で出力されないことについては後述で説明してある。

【0079】一方、SR-ARQ制御部72は、NACK信号を受信していないのでメモリ部18から図8に符号81、82で示す次の4ブロック目のフレームデータ4-A、4-Bを読み出し、受信装置12へ送信している。

【0080】また、受信装置12においては、1ブロック目の次の2ブロック目のフレームデータ2-A、2-Bが符号83、84で示すようにメモリ部24に記憶され、その誤り検出が行われている。

【0081】このフレームデータ2-A、2-Bにおいて、誤りが検出されたとすると、SR-ARQ制御部73はフレームデータ2-A、2-Bをそのままメモリ部24に記憶する制御を行うと共に、2番目のブロックのデータが誤っていることを示す2-NACK信号を破線矢印80で示すように送信装置11のSR-ARQ制御部72へ送信する。

【0082】2-NACK信号を受信したSR-ARQ制御部72は、メモリ部18から符号86で示す先程送信した2ブロック目の異なるフレームのフレームデータ2-Cを読み出し、受信装置12へ送信する。

【0083】この後、SR-ARQ制御部72は、2-NACK信号の受信に応じてフレームデータ2-Cを読み出す前に読みだした符号82で示すフレームデータ4-Bの次のブロック番号、即ち符号87で示す5番目のブロック番号のフレームデータ5-Aを読み出して送信する。

【0084】本来であれば5ブロック目のフレームデー

タは2フレーム分順次読みだされるが、ここでは破線矢印88で示す3-NACK信号、即ち受信装置12において符号89、90で示すフレームデータ3-A、3-Bの誤り検出に応じて出力された3-NACK信号が、SR-ARQ制御部72で受信されたとすると、SR-ARQ制御部72はメモリ部18から符号91で示す先に送信した3ブロック目の異なるフレームのフレームデータ3-Cを読み出し、受信装置12へ送信する制御を行う。

【0085】この後、SR-ARQ制御部72は、3-NACK信号を受信したために送信できなかった符号92で示すもう1つの5フレーム目のフレームデータ5-Bを送信する。

【0086】受信装置12においては、フレームデータが送信されてきた順に処理されるので、符号93、94で示すフレームデータ4-A、4-Bの誤り検出が行われ、この結果が良好であれば破線矢印95で示す4-ACK信号が送信装置11のSR-ARQ制御部72へ送信される。

【0087】また、その誤りの無いフレームデータ4-A、4-B、即ちブロック番号が4番の情報ビットデータD5が誤り検出部26から順序入替回路74へ出力される。

【0088】順序入替回路74は、まだ、1番目の情報ビットデータD5しか受け取っていないので、1番目の次に4番目の情報ビットデータD5が入力されると、その5ブロック目の情報ビットデータD5を保持しておく。

【0089】この保持された5ブロック目の情報ビットデータD5は、4ブロック目の情報ビットデータD5が入力され、これが情報ビットデータD6として出力された次に出力されることになる。

【0090】一方、SR-ARQ制御部72は、符号96で示す先に送信した5フレーム目のフレームデータ5-Bの次の6フレーム目以降のフレームデータ6-A…を順次送信する。

【0091】また、受信装置12において、符号93、94で示すフレームデータ4-A、4-Bの誤り検出後、符号97で示すフレームデータ2-Cが送信されてきたとすると、SR-ARQ制御部73は、それをメモリ部24に記憶し、先に記憶されたフレームデータ2-A、2-Bと共に読みだす。この読みだされた3つのフレームデータ2-A、2-B、2-Cは、ピタビ復号器25によって符号化率1/3の符号として復号される。即ち前回フレームデータ2-A、2-Bで復号を行った時より訂正能力が高くなる。

【0092】その復号された情報ビットデータD4に付加されたパリティチェックデータによって誤り検出部26で誤り検出が行われ、この結果、誤りが検出されなかったとすると、SR-ARQ制御部73が2番目のプロ



ックのデータに誤りが無いことを示す 2-ACK 信号を図 8 に破線矢印 9 8 で示すように送信装置 1 1 の SR-ARQ 制御部 7 2 へ送信すると共に、メモリ部 2 4 からフレームデータ 2-A, 2-B, 2-C を消去する。

【0093】また、その誤りの無いフレームデータ 2-A, 2-B, 2-C、即ち 2 ブロック目の情報ビットデータ D 5 が誤り検出部 2 6 から順序入替回路 7 4 へ出力される。

【0094】順序入替回路 7 4 は、1 ブロック目の情報ビットデータ D 5 を出力したことを認識しているの、その 2 ブロック目の情報ビットデータ D 5 を情報ビットデータ D 6 として出力する。

【0095】次に、受信装置 1 2 において、符号 9 7 で示すフレームデータ 2-C の誤り検出後、符号 9 9 で示すフレームデータ 5-A が送信されてきたとすると、SR-ARQ 制御部 7 3 は、それをメモリ部 2 4 に記憶する。この時点では誤り検出の対象となる 2 つのフレームデータ 5-A, 5-B の内の一方のみなので、メモリ部 2 4 から読み出す制御は行われない。

【0096】この後、符号 1 0 0 で示すフレームデータ 3-C が送信されてきたとすると、SR-ARQ 制御部 7 3 は、それをメモリ部 2 4 に記憶し、先に記憶されたフレームデータ 3-A, 3-B と共に読みだす。この読みだされた 3 つのフレームデータ 3-A, 3-B, 3-C は、ビタビ復号器 2 5 によって符号化率 1/3 の符号として復号され、誤り検出部 2 6 で誤り検出が行われる。この結果、誤りが検出されたとすると、SR-ARQ 制御部 7 3 はフレームデータ 3-A, 3-B, 3-C をそのまま記憶する制御を行うと共に、再び 3 番目のブロックのデータが誤っていることを示す破線矢印 1 0 1 の 3-NACK 信号を送信装置 1 1 の SR-ARQ 制御部 7 2 へ送信する。

【0097】この場合、3-NACK 信号を受信した SR-ARQ 制御部 7 2 は、メモリ部 1 8 から符号 1 0 2 で示す 3 ブロック目の最初のフレーム番号のフレームデータ 3-A を読み出し、受信装置 1 2 へ送信する。

【0098】この送信されたフレームデータ 3-A は、先に記憶された 3-A と異なるメモリ部 2 4 の記憶領域に記憶され、先に記憶されたフレームデータ 3-A, 3-B, 3-C と共に、SR-ARQ 制御部 7 3 の制御によって読みだされ、ビタビ復号器 2 5 に入力される。このことによって、符号化率 1/4 の符号として復号を行うことができる。

【0099】このように、再送を繰り返す毎に訂正能力の高い符号として復号できるため、通信路の特性の悪いときでも、再送回数の急激な増加、即ちスループットの急激な低下を避けることができる。

【0100】以上説明した第 1 ~ 第 3 実施例のハイブリッド自動再送要求方式によるデータ通信システムによれば、再送回数に応じて符号化率が変わる符号として処理

ができ、この結果、1 度目の送信よりは 2 度目、2 度目よりは 3 度目というように再送回数が増す毎に訂正能力が高くなり、通信路の特性の悪化による再送回数の急増を抑えることができる。

【0101】このように第 1 ~ 第 3 実施例においては、最初の送信では送信装置 1 1 からフレームデータ n-A と n-B を送信し、受信装置 1 2 では 1/2 の畳み込み符号として復号を行い、誤りが検出された時のみ再送を要求して 1/3, 1/4, ... の符号として複合を行うようにした。

【0102】しかし、通信路の状態が悪い場合には、1/2 の畳み込み符号を用いても、1 度の再送では誤りが訂正できないケースが頻発することが考えられる。このような場合、即ち NACK が頻繁に返される場合には、最初の送信からフレームデータ n-A, n-B 及び n-C を送信して、符号化率 1/3 の符号として復号し、更に誤りがある場合には、再びフレームデータ n-A を要求して訂正能力を増すようにした方が有効な場合がある。即ち、第 1 回目の送信で送る符号の符号化率を通信路の状態に応じて適応的に制御することにより、より効率の良い通信が可能となる。

【0103】

【発明の効果】以上説明したように、本発明によれば、通信路の特性の悪化状態に応じて送信情報の誤り訂正を効率良く適正に行うことができる効果がある。

【図面の簡単な説明】

【図 1】本発明の原理図である。

【図 2】本発明の第 1 実施例によるハイブリッド自動再送要求方式によるデータ通信システムのブロック構成図である。

【図 3】実施例のデータ通信システムにおける送信装置に用いられる畳み込み符号器の一構成例を示すブロック図である。

【図 4】図 2 に示す第 1 実施例における自動再送要求制御動作を説明するためのフローチャートである。

【図 5】本発明の第 2 実施例によるハイブリッド自動再送要求方式によるデータ通信システムのブロック構成図である。

【図 6】図 5 に示す第 2 実施例における自動再送要求制御動作を説明するためのフローチャートである。

【図 7】本発明の第 3 実施例によるハイブリッド自動再送要求方式によるデータ通信システムのブロック構成図である。

【図 8】図 7 に示す第 3 実施例における自動再送要求制御動作を説明するためのフローチャートである。

【符号の説明】

1 1 送信装置

1 2 受信装置

1 3 ブロック化手段

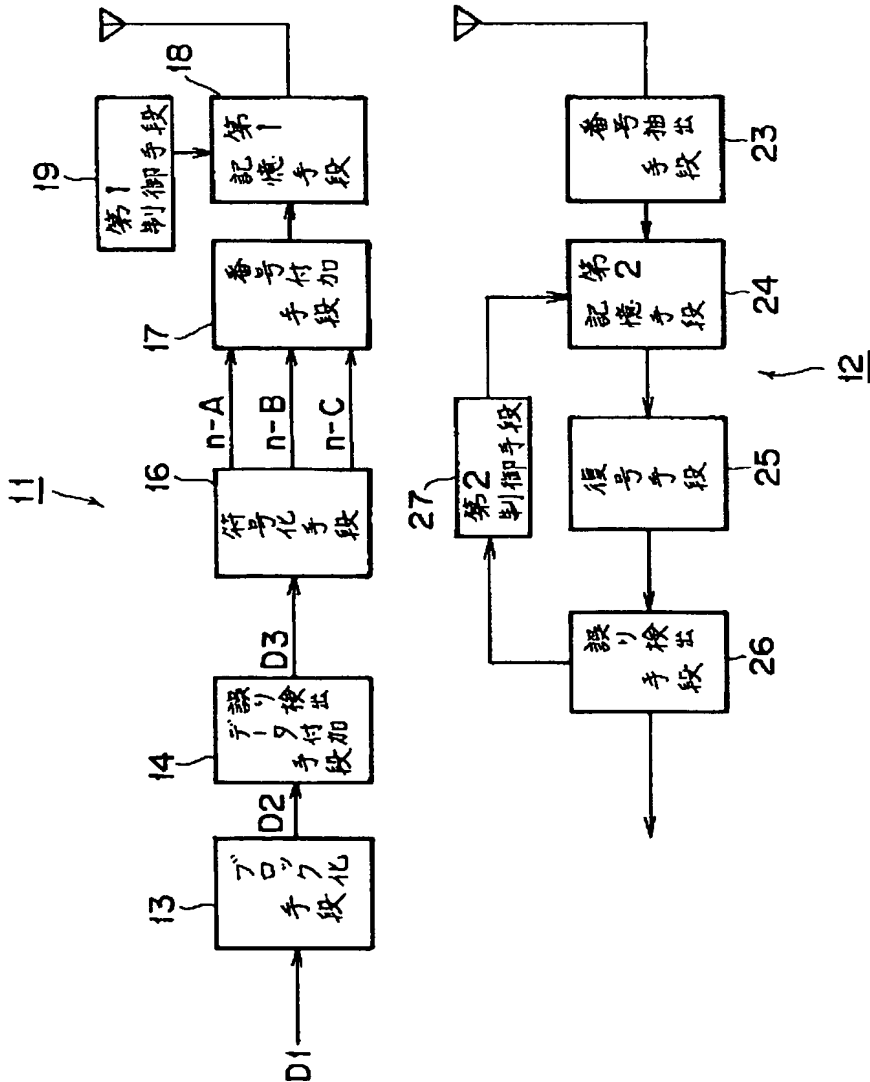
1 4 誤り検出データ付加手段

16 符号化手段  
17 番号付加手段  
18 第1記憶手段  
19 第1制御手段  
23 番号抽出手段

24 第2記憶手段  
25 復号手段  
26 誤り検出手段  
27 第2制御手段

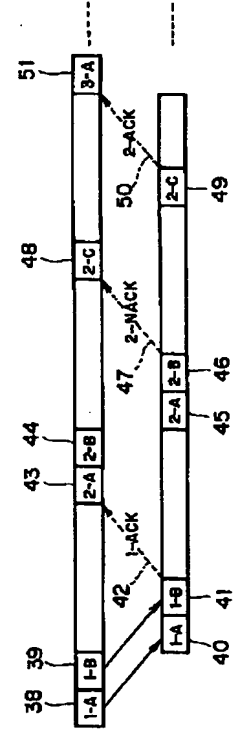
【図1】

## 本発明の原理図



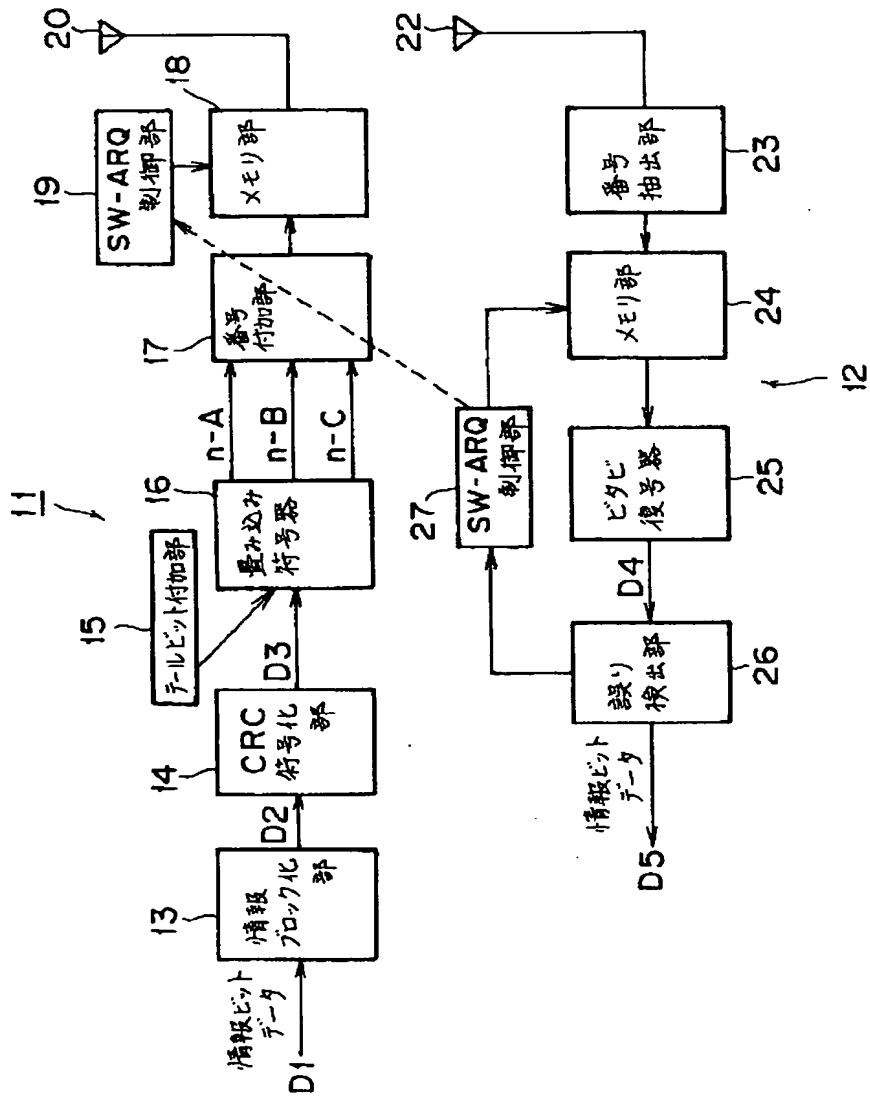
【図4】

## 第1実施例動作説明フローチャート



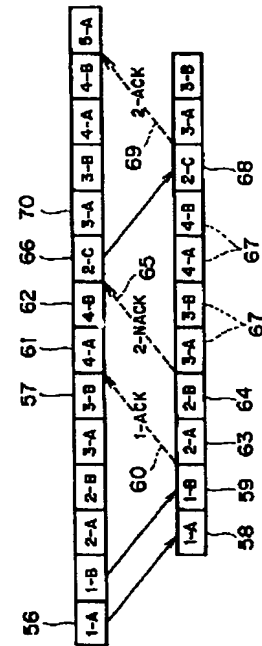
【図 2】

第 1 実施例図



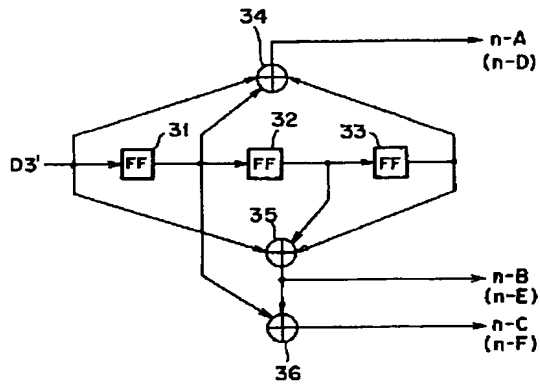
【図 6】

第 2 実施例動作説明フローチャート



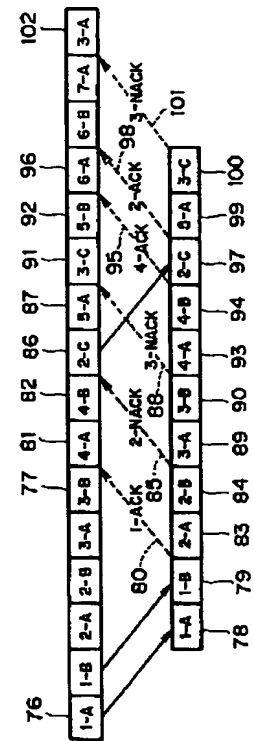
【図 3】

実施例の量か込み符号器構成回路図

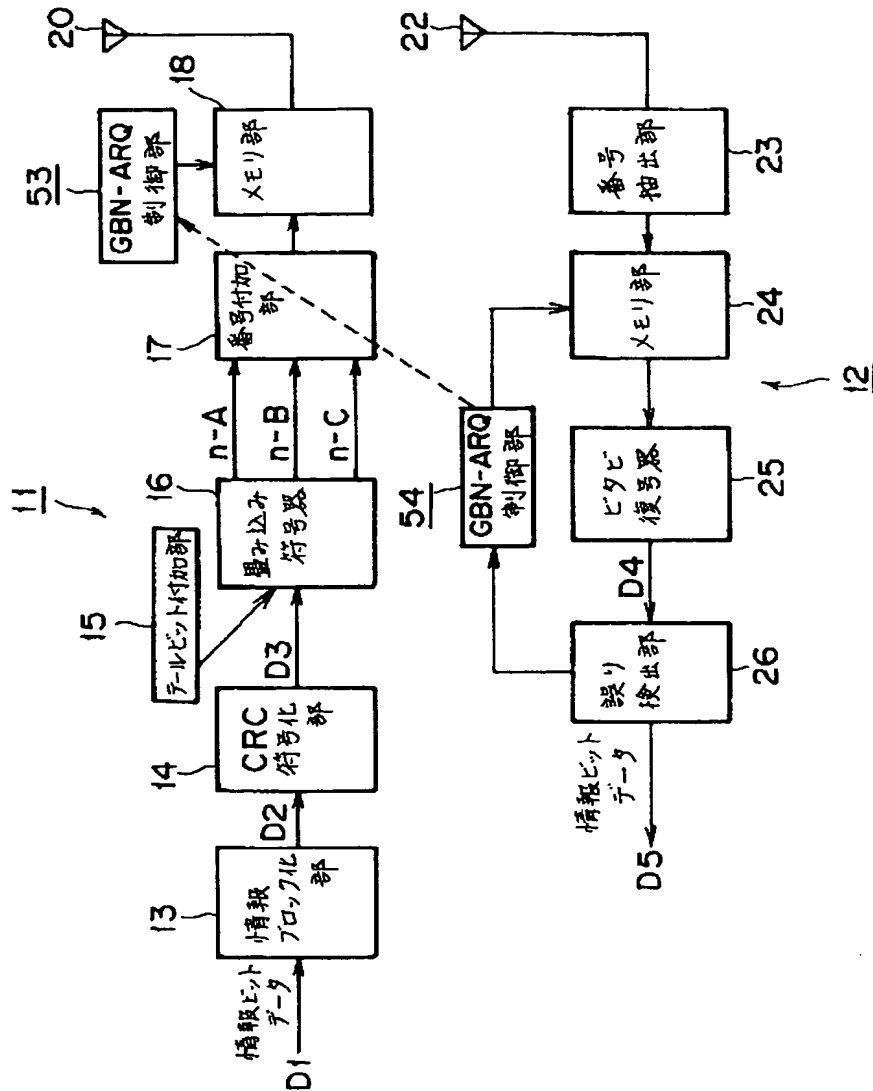


【図 8】

第 3 実施例動作説明フローチャート



## 第2实施例图



【図 7】

## 第 3 実施例図

